

⑫ 公開特許公報(A) 平2-306665

⑬ Int.Cl.¹

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)12月20日

H 01 L 29/784

9056-5F

H 01 L 29/78

3 1 1 H

審査請求 未請求 請求項の数 3 (全8頁)

⑮ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 平1-127501

⑰ 出 願 平1(1989)5月20日

⑱ 発 明 者 佐 藤 典 章 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 発 明 者 今 岡 和 典 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 井 桁 貞一

明 細 書

1 発明の名称

半導体装置およびその製造方法

2 特許請求の範囲

(1) 絶縁基板上に形成された絶縁ゲート型電界効果トランジスタに於いて、

チャネル領域中の絶縁基板に隣接する領域の不純物濃度分布が、ドレイン接合に隣接する部分よりも該ドレイン接合から隔たった部分に於いて高濃度となっていることを特徴とする半導体装置。

(2) 請求項(1)の半導体装置を製造する方法であって、

絶縁材料面上に一方導電型の半導体層が設けられた基板を準備する工程、

前記基板の前記半導体層上にイオン注入のマスクとなる層を設け、該層に窓を開ける工程、

該窓を通して、不純物分布中心が前記絶縁材料/半導体層界面に略一致するように、一方導電型の不純物をイオン注入する工程、

前記半導体層表面の付着物を除去し、熱酸化によって前記トランジスタのゲート絶縁膜となる酸化膜を形成する工程、および

前記ゲート絶縁膜上に、前記イオン注入領域に整合させてゲート電極を形成する工程、および

前記ゲート電極をマスクとして、前記半導体層に他方導電型の不純物をイオン注入し、活性化処理を行って前記トランジスタのソース/ドレイン領域を形成する工程を包含することを特徴とする半導体装置の製造方法。

(3) 請求項(1)の半導体装置を製造する方法であって、

絶縁材料面上に一方導電型の半導体層が設けられた基板を準備する工程、

前記半導体層上に、他方導電型の不純物を含む多結晶シリコンまたは非多結晶シリコンならびに金属シリサイドから成る電極層を堆積形成する工程、

前記電極層上に二酸化シリコン(SiO₂)層を堆積形成する工程、

前記SiO₂層および前記電極層を貫通する空を開ける工程、

前記窓が開けられた基板全面にSiO₂層を増積し、異方性エッチングを施して前記窓の側壁に堆積されたSiO₂層を残すと共に前記窓内に前記半導体層を露出させる工程、

前記露出した半導体層表面に、熱酸化によって前記トランジスタのゲート絶縁膜となる酸化膜を形成する工程、

前記電極層および前記窓側壁に残されたSiO₂層をマスクとして、不純物分布中心が前記絶縁材料/半導体層界面に略一致するように、一方導電型の不純物をイオン注入する工程、

前記イオン注入を行った基板を熱処理し、前記注入された不純物を活性化すると共に前記多結晶シリコン中の他方導電型不純物を前記半導体層に拡散させる工程、および

前記ゲート絶縁膜上に、前記イオン注入領域に整合させてゲート電極を形成する工程を包含することを特徴とする半導体装置の製造方法。

隔たった部分に於いて高くなっている構造のMOSトランジスタを備えて構成される。

また、上記半導体装置の製造方法である本発明の第2では

SOI基板に、分布中心が絶縁基板との界面近傍になるように不純物をイオン注入してチャネル領域内に高濃度領域を形成した後、ゲート電極を形成し、さらにゲート電極に整合させてイオン注入によるS/D領域の形成が行われる。

更に、上記半導体装置の製造方法である本発明の第3では

S/D領域のコンタクト電極を形成するポリSi層に窓を開け、窓孔の側壁に異方性エッチングを利用して側壁を形成し、該側壁により限定される領域にイオン注入を行ってチャネル領域内に高濃度領域を形成すると共に、電極形成用ポリSi層からの不純物拡散によってMOSトランジスタのS/D領域を形成することが行われる。

本発明のMOSトランジスタではチャネル領域の絶縁基板に接する部分が高温酸化されているの

3 発明の詳細な説明

(目次)

要 要	4 頁
産業上の利用分野	6 頁
従来の技術と発明が解決しようとする課題	7 頁
課題を解決するための手段	9 頁
作 用	13 頁
実施例	15 頁
発明の効果	22 頁

(要 要)

本発明はSOI基板に形成されたMOSトランジスタの特性改善に関し、

ドレイン耐圧を低下させることなくバックチャネルの発生を防止することを目的とし、

本発明の第1である半導体装置は

SOI基板に形成され、チャネル領域中の絶縁基板に隣接する領域の不純物濃度分布が、ドレイン接合に隣接する部分よりも該ドレイン接合から

でバックチャネルの発生がなく、しかも、該高濃度領域はドレインに隣接しないのでドレイン耐圧が低下することもない。

(産業上の利用分野)

本発明は絶縁ゲート型電界効果トランジスタ(以下、通称に便宜上MOSトランジスタと記す)のバックチャネル発生防止に関わるものである。

通常のシリコン(Si)基板に形成されたMOSトランジスタは、S/D領域と基板の間に寄生容量が存在するため動作の高速化が阻害される。絶縁材料上に薄い素子形成層を覆ったSOI基板に形成されたMOSトランジスタでは、このような寄生容量が大幅に減少するので、より高速の動作が可能となる。

SOI基板に形成されたMOSトランジスタの典型的な構造が第4図に示されている。図面の40はSiウエハ、41はSiO₂層で、絶縁基板として機能するのはSiO₂層であるが、支持体であるSiウエハ上に設けられた構造が通常のものである。

る。

素子形成面である単結晶Si層42は絶縁分離領域43で区画され、個々の素子形成領域にMOSトランジスタが形成される。MOSトランジスタはチャネル領域44、ゲート電極45、S/D領域46で構成され、ゲート電極とチャネル領域の間に設けられるゲート絶縁膜は図では省略されている。

ここでS/D領域が絶縁基板上に隣接して形成されているのは、既述したように寄生容量を減ずるためであるが、かかる構造を採ることにより、バックチャネルの発生という新たな問題が生じている。即ち、Si/SiO₂界面には電荷の蓄積が生じ易く、そのために絶縁基板上に隣接する領域にバックチャネルが形成され、図中に矢印で示したようなリーク電流が発生する。

(従来の技術と発明が解決しようとする課題)

チャネルは絶縁層中の電荷によって発生した導電型反転層であるから、不純物濃度を高めれば反転が起こり難くなる。バックチャネルも高濃度化

て低いものになる。具体的に言うと、n⁺は十分に高濃度として、p領域の不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ であれば約50Vの耐圧を示すのに対し、 $2 \times 10^{18} \text{ cm}^{-3}$ のp⁺領域との間の耐圧は10V以下となる。

MOS型素子回路では電源のノイズや基板バイアス印加への配慮から、素子特性として電源電圧の2倍の耐圧が要求されるのが通常であるから、電源電圧5Vに対して耐圧10V以下では不十分である。

本発明の目的はバックチャネルの発生が防止され且つドレイン耐圧が十分に高い構造のMOSトランジスタを提供すること及びそのような構造を実現する製造方法を提供することである。

(課題を解決するための手段)

上記目的を達成するため、

本発明のSOI基板上に形成されたMOSトランジスタは

SOI基板上に形成され、チャネル領域中の絶縁

によって防止することが出来る。例えば特開昭58-64064号公報には、SOI基板上のMOSトランジスタのチャネル領域に3段階の深さでイオン注入を行う処理が開示されているが、その中、絶縁基板付近に到達する注入はバックチャネルの発生を抑制するためのものである。また、特開昭60-220425号公報にもイオン注入によって同種トランジスタのバックチャネル発生を抑制する技術が開示されている。

これらの先行技術によって形成されるMOSトランジスタの断面構造を模式的に図示すると第5図のようなものになる。チャネル領域は通常の濃度の領域44と高濃度化された領域47から成り、高濃度領域47はSiO₂層41に隣接して形成されている。また、45はゲート電極、46はS/D領域である。

第5図の構造のトランジスタではバックチャネルの発生は防止されるが、例えばp⁺である領域47とn⁺であるS/D領域46が隣接しているため、チャネル/ドレイン間の接合の逆方向耐圧が極め

低に隣接する領域の不純物濃度分布が、ドレイン接合に隣接する部分よりも該ドレイン接合から離れた部分に於いて高くなっている構造を備えており、

上記MOSトランジスタの製造方法である本発明の製造方法の第1では

絶縁基板上の一方導電型の半導体層上にイオン注入のマスクとなる層を設け、該層に窓を開ける工程、

該窓を通して、不純物分布中心が前記絶縁材料/半導体層界面に略一致するように、一方導電型の不純物をイオン注入する工程、

前記半導体層表面の付着物を除去し、熱酸化によって前記トランジスタのゲート絶縁膜となる酸化膜を形成する工程、

前記ゲート絶縁膜上に、前記イオン注入領域に整合させてゲート電極を形成する工程、および前記ゲート電極をマスクとして、前記半導体層に他方導電型の不純物をイオン注入し、活性化処理を行って前記トランジスタのソース/ドレイン

領域を形成する工程が含まれる。

更に、上記MOSトランジスタの製造方法である本発明の製造方法の第1では

絶縁基板上の一方導電型の半導体層上に、他方導電型の不純物を含む多結晶シリコンまたは結多結晶シリコンならびに金属シリサイドから成る電極層を堆積形成する工程、

前記電極層上に二酸化シリコン(SiO_2)層を堆積形成する工程、

前記 SiO_2 層および前記電極層を貫通する空を開ける工程、

前記窓が開けられた基板全面に SiO_2 層を堆積し、異方性エッチングを施して前記窓の側壁に堆積された SiO_2 層を露すと共に前記窓内に前記半導体層を露出させる工程、

前記露出した半導体層表面に、熱酸化によって前記トランジスタのゲート絶縁膜となる酸化膜を形成する工程、

前記電極層および前記窓側壁に残された SiO_2 層

領域内に高濃度領域を形成した後、ゲート電極を形成し、さらにゲート電極に整合させてイオン注入によるS/D領域の形成が行われる。

更に、上記半導体装置の第2の製造方法ではS/D領域のコンタクト電極を形成するポリSi層に窓を開け、窓の側壁に異方性エッチングを利用して側壁を形成し、該側壁により限定される領域にイオン注入を行ってチャネル領域内に高濃度領域を形成すると共に、電極形成用ポリSi層からの不純物拡散によってMOSトランジスタのS/D領域を形成することが行われる。

(作用)

第1図に本発明のMOSトランジスタの断面構造が模式的に示されている。典型的な材料を例示して説明すると、同図に於いて1は基板として機能する SiO_2 層、2は単結晶Siの素子形成層、3は SiO_2 である分離領域、4はチャネル領域、5はゲート電極、6はS/D領域である。

本発明の特徴的な構造はチャネル領域に高濃度

層をマスクとして、不純物分布中心が前記絶縁材料/半導体層界面に略一致するように、一方導電型の不純物をイオン注入する工程、

前記イオン注入を行った基板を熱処理し、前記注入された不純物を活性化すると共に前記多結晶シリコン中の他方導電型不純物を前記半導体層に拡散させる工程、および

前記ゲート絶縁膜上に、前記イオン注入領域に整合させてゲート電極を形成する工程が含まれる。

上記手段の概略の要点を述べると以下のようになる。

本発明の第1である半導体装置は

前記MOSトランジスタの、絶縁基板に隣接する部分のチャネル領域の不純物濃度を高くし、且つ該高濃度領域はドレイン領域には隣接しない構造を備えて構成される。

また、上記半導体装置の第1の製造方法では

SiO_2 基板に、分布中心が絶縁基板との界面近傍になるように不純物をイオン注入してチャネル

領域7が設けられている点にあり、該高濃度領域がバックチャネル生成を抑制することは第5図のMOSトランジスタと同様であるが、本発明ではこれがドレインに接していないことから、ドレイン接合の逆方向耐圧を低下させることがなく、必要なドレイン耐圧を得ることが容易となる。

第1図では高濃度領域7の輪郭が明らかであるように示されているが、不純物濃度の分布は現実には連続的に変化するものであり、特定の値を指定して境界面を設定しない限り、高濃度領域の範囲を指定することはできない。ところが、不純物分布が濃度勾配を持つ場合には逆方向耐圧は相応の値を示すことになるから、前記高濃度領域が不明確であっても、接合隣接部より遠隔領域の方が高濃度であれば、ドレイン耐圧の向上という上記作用が見られることになる。

本発明の製造方法では、チャネル領域の不純物濃度を選択的に高めるため、限定された範囲に限定された深さのイオン注入を行っているため、ドレイン接合に隣接する部分の不純物濃度を高める

ことなく、バックチャネル防止に有効な高濃度化を行うことが可能となる。

(実施例)

本発明の半導体装置の実施例は、その製造方法の実施例を説明することにより明らかとなるものであるから、以下、製造方法の実施例を説明する。

第2図は請求項(2)に対応する製造方法の工程を模式的に示す断面図である。以下、図面を参照しながら、この実施例を説明する。

(a)図はSiO₂基板10とp型Si層11から成るSOI基板のSi層表面を熱酸化して、厚さ200ÅのSiO₂膜12を形成した状態を示す。このSOI基板は表面を酸化した2枚の単結晶Siウエハを貼り合わせ、一方の厚みを減ずることによって形成するのが通常であるが、他の方法によって形成されたものであっても良い。本実施例ではこのp型Si層の厚さは1.0μm、比抵抗は10Ω・cmである。なお、SiO₂基板は機械的強度を確保するためSiウエハに固着した形で用いられるのが通

常であるが、これは本発明の要件ではなく、図では省略されている。

且除去して、900～950℃の塩酸酸化によりSi層表面にゲート絶縁膜(SiO₂)15を形成する。この熱処理で、注入されたBが活性化され、(a)図に示されるように、p⁺領域16が形作られる。既に述べたように、このp⁺領域の輪郭を示す線は便宜的に描いたものであり、母体領域に比べ数倍乃至1桁以上高濃度の領域を示すものである。

以上の処理を行った後、CVD法などの通常の方法によって長さ0.8μmのゲート電極17を形成する。材料は多結晶Si(ポリSi)或いはポリSiと金属シリサイドを積層したものである。ゲート電極の形成位置は、(a)図の選択注入用窓と中心を一致させることになるが、このような位置合わせは同じ位置合わせマークに対して整合させることで、必要な精度を出すことができる。最近の位置合わせ技術では、レチクルマスクを用いる繰り返し焼きつけで、0.03μm以内の位置合わせ精度が得られている。

続いて、ゲート電極をマスクとする選択イオン注入と熱処理により、(a)図の如くS/D領域18が

p型Si層11の表面に形成されたSiO₂膜12は、次工程で塗布されるレジストからの汚染を防ぐと共に、イオン注入に於けるチャネルリングの発生を抑制するものであるが、Si層中の不純物をゲッターすることや注入の衝撃から結晶を保護する意味も持っている。

次いで(b)図の如く、表面にフォトリソ13を塗布し、MOSトランジスタのゲート電極形成位置に中心を合わせて、寸法Dの窓を開ける。DとMOSトランジスタのゲート長との関係は後で説明するが、ここではD=0.5μmとする。これに加速電圧30～40KeVでB⁺をイオン注入する。ドーザ量は $3 \times 10^{14} \text{ cm}^{-2}$ である。このイオン注入ではレジストがマスクとなって、Si層への注入は窓の部分だけに行われ、注入されたBの分布領域14の深さはSi/SiO₂界面にはV_r一致する((a)図参照)。

表面のフォトリソを除去し、SiO₂膜も一

形成され、MOSトランジスタが実現する。注入するイオンはAs⁺で、処理条件は、加速電圧が60KeV、ドーザ量 $5 \times 10^{14} \text{ cm}^{-2}$ である。

(a)図に示された窓の寸法Dはゲート長に対し次のように設定される。高濃度のS/D領域はゲート電極をマスクにして形成されるが、活性化処理の際の横方向拡散が0.1μm程度見込まれるので、LとDの差を0.2～0.3μm以上にとる。上記実施例ではゲート電極の長さを0.8μm、窓の寸法Dを0.5μmとしている。

本発明の基本的な考えは、チャネル領域に形成した高濃度領域がS/D領域とp/n接合を作るのを避けるということであり、上記寸法では、平面図を想定すれば窓の形状とS/D領域とはほぼ隣接することになるが、(a)図に示されるようにS/D領域はSiO₂基板との界面付近では若干後方に退いており、高濃度領域に接することはない。

更に言えば、仮令チャネル領域へのイオン注入の境界がS/D領域に接することがあっても、その後の熱処理によって注入された不純物の濃度分

布は傾きを有するものになることから、耐圧が極端に低下した p/n 接合が形成されることはない。

以上で本発明の製造方法の一つの実施例の説明を終わり、請求項(3)に相当する他の製造方法の実施例を説明する。以下、参照されるのは第3図であり、単に(4)図と記された場合は第3図(4)を意味する。この製造方法はチャネル領域内の高濃度化領域とゲート電極の位置を自己整合的に一致させるものである。

先ず(4)図を参照するに、 SiO_2 基板10と p 型 Si 層11は上記実施例と同じである。この Si 層上にポリ Si 層21を CVD 法で2000~3000Åの厚さに堆積し、 P を拡散して面抵抗 $20\Omega/\square$ 程度の不純物濃度とする。これは後に S/D 領域形成の不純物源とするための処理である。このポリ Si も金属シリサイドとの積層構造とすることが可能であるが、以下の説明ではポリ Si とする。また、不純物導入はイオン注入で行ってもよく、 P^+ を注入する場合は加速電圧50KeV、ドーザ量 $5 \times 10^{13} cm^{-2}$ 、 A_s^+ を注入する場合は加速電

圧60KeVで同じドーザ量とする。

その上に低温 CVD 法(処理温度400℃)で200Åの SiO_2 膜22を被着形成し、MOSトランジスタのゲート電極形成位置に窓を開ける。この窓の寸法 L' は、工程の進捗に伴って明らかになるように、ゲート電極のゲート絶縁膜上の長さには μ 一致するものである。

これに上記の低温 CVD 法で2000Åの SiO_2 層を全面に堆積し、異方性のエッチング法である RIB によってエッチバックを施すと平面上に堆積した SiO_2 層は除去され、(4)図の如く、窓の側面側壁に堆積した SiO_2 23が厚みを殆ど減ずることなく残される。その結果、窓の開口寸法 D' は L' から $0.3 \sim 0.4 \mu m$ だけ減少したものとなる。

このエッチバック処理の終点検出は単結晶 Si 層の表出によるのであるが、ポリ Si 層の上には最初に被着した SiO_2 膜22が存在するから、単結晶 Si 層の表出前にポリ Si 層の表面が現れることはなく、意図した通りに窓を開けることが可能である。

続いて(4)図の如く、これに加速電圧30~40KeVで B^+ をイオン注入する。ドーザ量は $3 \times 10^{13} cm^{-2}$ である。このイオン注入ではポリ Si 層21と側壁23がマスクとなって、 Si 層への注入は窓の部分だけに行われ、注入された B の分布中心の深さは Si/SiO_2 界面には μ 一致する。図に符号14で示された部分が注入不純物分布領域である。このあたりの状況は説明済の実施例と同様であるが、チャネリングを避けるために傾けて注入するなどの配慮は必要である。注入するイオンを $B.F^+$ にすることも有効である。

ここでポリ Si 層の窓の側壁である SiO_2 とポリ Si 層上に残っている SiO_2 膜を一旦除去し、(4)図の如く300~350℃の塩酸酸化でゲート絶縁膜である SiO_2 膜24を形成する。膜厚は素子の設計値に合わせるが、例えば200Åとする。この熱酸化はポリ Si 表面では単結晶表面よりも速やかに進行し、400~500Åの厚さになるので、後続工程で塩酸化膜上に形成されるゲート電極とポリ Si 層間の必要な絶縁耐圧は得られる。

ゲート酸化膜形成時の熱処理によって注入された B は活性化され、 p^+ 領域25が形成される。 p^+ 領域25を示す輪郭線の意味は既に述べた通りである。本実施例では同時にポリ Si からの n 型不純物の拡散が進行し、単結晶 Si 層に n^+ の S/D 領域26が形成される。

更に続けて(4)図の如く、ポリ Si 膜はポリ Si /金属シリサイドのゲート電極27を形成することにより、MOSトランジスタが構成される。

本実施例においては、 p^+ 領域25を形成するためのイオン注入は S/D 領域形成の不純物源であるポリ Si 層の間隔よりも狭い範囲に対して行われるので、 n^+ の S/D 領域と p^+ 領域との間に直接 p/n 接合が形成されることはない。

(発明の効果)

以上説明したように本発明のMOSトランジスタでは、バックチャネルの発生領域を積極的に高不純物濃度領域が設けられているので、この部分の電電型が反転することがなく、バックチャネル

が発生しない。それと共に、該高不純物濃度領域はS/D領域から隔たった位置に配置されているので、フレイン接合の耐圧を低下させることがなく、フレイン耐圧の高いMOSTランジスタを得ることが容易となる。

また本発明の製造方法によって上記構造のMOSTランジスタを実現することができ、特に自己整合型の製造方法によれば、前記高濃度領域を正確にゲート電極位置に合わせて形成することが出来る。

4 図面の簡単な説明

第1図は本発明のMOSTrの構造を示す断面模式図、

第2図は本発明の実施例の工程を示す断面模式図、

第3図は他の実施例の工程を示す断面模式図、

第4図はSOI基板のMOSTrを示す断面模式図、

第5図は公知のバックチャネル阻止MOSTr

を示す断面模式図であって、

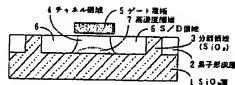
図に於いて

- 1はSiO₂層、
- 2は素子形成層、
- 3は分離領域、
- 4はチャネル領域、
- 5はゲート電極、
- 6はS/D領域、
- 7は高濃度領域、
- 10はSiO₂基板、
- 11は単結晶Si層、
- 12はSiO₂膜、
- 13はフォトリソスト、
- 14は注入不純物分布領域、
- 15はゲート絶縁膜、
- 16は高濃度領域、
- 17はゲート電極、
- 18はS/D領域、
- 21はポリSi層、

- 22はSiO₂膜、
- 23はSiO₂の側壁、
- 24は注入不純物分布領域、
- 25は高濃度領域、
- 26はS/D領域、
- 27はゲート電極、
- 40はSiウエハ、
- 41はSiO₂層、
- 42は単結晶Si層、
- 43はSiO₂である分離領域、
- 44はチャネル領域、
- 45はゲート電極、
- 46はS/D領域、
- 47は高濃度領域

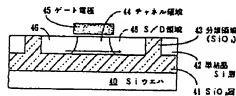
である。

代理人 弁理士 井 祐 貞 一



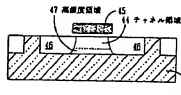
本発明のMOSTrの構造を示す断面模式図

図1



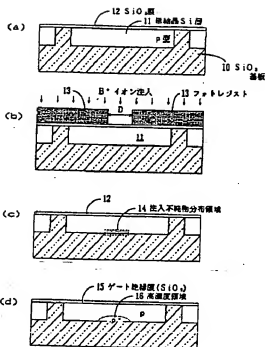
SOI基板のMOSTrを示す断面模式図

図2

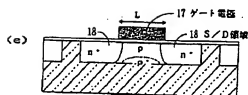


公知のバックチャネル阻止MOSTrを示す断面模式図

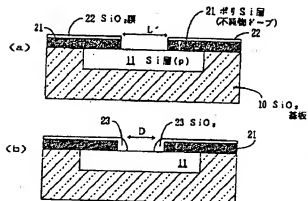
図3



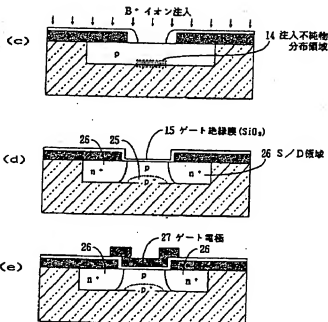
本発明の実施例の工程を示す断面模式図
図2 (a)~(e)



本発明の実施例の工程を示す断面模式図
図2 (f)



他の実施例の工程を示す断面模式図
図3 (a)~(b)



他の実施例の工程を示す断面模式図
図3 (c)~(e)